

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

1c903 U.S. PTO
09/826874
04/06/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 04 月 07 日
Application Date

申請案號：089106478
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳 朋 邦

發文日期：西元 2000 年 5 月 日
Issue Date

發文字號：08911006870
Serial No.

申請日期：	案號： 89106478
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	無脈波干擾之時脈訊號相位轉換的方法及其電路
	英 文	
二、 發明人	姓 名 (中文)	1. 高世平
	姓 名 (英文)	1.
	國 籍	1. 中華民國
	住、居所	1. 台南市協和街167號
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：無脈波干擾之時脈訊號相位轉換的方法及其電路)

一種無脈波干擾之時脈訊號相位轉換電路，包括相位偵測器，用以接收資料訊號與系統時脈訊號，並輸出相位上升訊號與相位下降訊號；旗標訊號產生器，用以接收該相位上升訊號與該相位下降訊號並輸出M個旗標訊號；選擇訊號產生器，用以接收旗標訊號與相位時脈訊號，並輸出對應之M個選擇訊號，其中，與致能的該些旗標訊號對應之該些選擇訊號為致能；以及輸出級電路，以M個選擇訊號以及M個相位時脈訊號作為輸入，並輸出該系統時脈訊號。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

本發明是有關於一種無脈波干擾(glitch-free)之時脈訊號相位轉換的方法及其電路，且特別是適用於網路通訊系統的無脈波干擾之時脈訊號相位轉換方法及其電路。

在以太(Ethernet)網路通訊系統中，通常接收端只能接收到發射端所傳送的資料流(data stream)訊號，發射端並不會將發射端之時脈訊號一同傳送至接收端。此時，若接收端要對所傳送而來的資料流訊號取樣的話，首先必須讓接收端之時脈訊號與資料流訊號同步(synchronize)，方可對資料流訊號取樣。這就是所謂的時脈回復(timing recovery)動作。

而一般時脈回復的作法是，當接收端接收到一外來之資料流訊號時，可使用鎖相迴路(Phase locked loop, PLL)產生多個不同相位的相位時脈(clock)訊號，例如為10個或20個等，藉由轉換不同相位的相位時脈訊號來鎖住(locking)及追蹤(tracking)資料流訊號的相位，使接收端之時脈訊號與資料訊號同步，方可讀取資料訊號。

請參照第1圖，其所繪示乃藉由轉換不同相位之相位時脈訊號鎖住資料訊號之時序圖(timing diagram)。由PLL產生不同相位的相位時脈訊號例如為相位時脈訊號PHN、相位時脈訊號PHN+1、相位時脈訊號PHN+2、與相位時脈訊號PHN+3，這些相位時脈訊號之頻率相同，而相位相異且依序變化。

接收端系統接收一資料訊號DATA。在時間點t1時，必須以相位時脈訊號PHN來鎖住及追蹤資料訊號DATA的相



五、發明說明 (2)

位。在時間點 t_2 時，則必須以相位時脈訊號 $PHN+1$ 來鎖住及追蹤資料訊號 $DATA$ 的相位。在時間點 t_3 時，則必須以相位時脈訊號 $PHN+2$ 來鎖住及追蹤資料訊號 $DATA$ 的相位。在時間點 t_4 時，則必須以相位時脈訊號 $PHN+3$ 來鎖住及追蹤資料訊號 $DATA$ 的相位。所以，接收端系統必須隨著資料訊號 $DATA$ 的相位變化，而轉換不同的相位時脈訊號做為其系統時脈訊號 CLK ，例如在時間點 t_1 、 t_2 、 t_3 、與 t_4 分別以相位時脈訊號 PHN 、 $PHN+1$ 、 $PHN+2$ 、與 $PHN+3$ 作為系統時脈訊號 CLK ，以達到鎖住及追蹤資料訊號 $DATA$ 的目的。

請參照第2圖，其所繪示乃系統時脈訊號轉換之時序圖。茲以將系統時脈訊號 CLK 由相位時脈訊號 PHN ，轉換至相位時脈訊號 $PHN+1$ 為例做說明。以旗標訊號 $FlagN$ 與旗標訊號 $FlagN+1$ 之致能(Enable)與否來選擇相對應的相位時脈訊號 PHN 與相位時脈訊號 $PHN+1$ 。其中，例如以高位準為致能訊號。當系統偵測到資料訊號 $DATA$ 的相位有改變時，旗標訊號也會隨著有相對應的改變。例如在時間點 t 時，旗標訊號 $FlagN$ 由高位準轉為低位準，而旗標訊號 $FlagN+1$ 則由低位準轉為高位準。則在時間點 t 之前，系統以時脈訊號 PHN 做為系統時脈訊號 CLK ，在時間點 t 之後，系統以時脈訊號 $PHN+1$ 做為系統時脈訊號 CLK 。

請參考第3圖，其所繪示乃有脈波干擾(glitch)之系統時脈訊號轉換之時序圖。當旗標訊號 $FlagN$ 與旗標訊號 $FlagN+1$ 同時於時間點 t_2 改變時，系統在時間點 t_2 之前以相位時脈訊號 PHN 作為其系統時脈訊號 CLK ，而在時間點 t_2

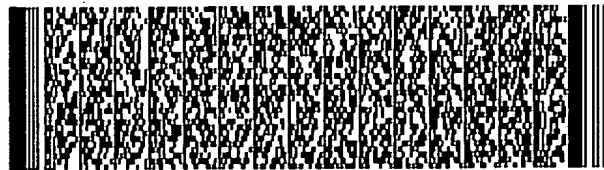


五、發明說明 (3)

之後以相位時脈訊號 $PHN+1$ 作為其系統時脈訊號 CLK 。轉換過程中，在時間點 t_2 時，因為相位時脈訊號 PHN 為高位準，而相位時脈訊號 $PHN+1$ 為低位準，所以得到的系統時脈訊號 CLK 會在時間點 t_1 時，由高位準轉成低位準，且在時間點 t_2 時，由低位準轉成高位準，而形成一個由時間點 t_1 到時間點 t_2 間的脈波。此一額外的脈波會對系統時脈訊號 CLK 造成干擾，甚至使得資料訊號 $DATA$ 無法正常讀取，這便是所謂的脈波干擾。

第4圖所繪示乃另一種有脈波干擾之系統時脈訊號轉換的時序圖。當電路有非線性(nonlinear)的情況時，也可能產生脈波干擾的情形。其中，電路非線性的情況例如是因為雜訊的影響，使得兩個旗標訊號無法於同一時間點上產生位準變化，或是相位時脈訊號本身的不穩定而產生非線性的現象。如第4圖所示，旗標訊號 $FlagN$ 在時間點 t_2 由高位準轉變低位準，而旗標訊號 $FlagN+1$ 卻延遲至時間點 t_3 才由低位準變成高位準，二者並未在同一個時間點上變化，而在間點 t_1 至時間點 t_2 間形成一脈波，而產生脈波干擾的情形。

脈波干擾使得系統時脈訊號 CLK 增加一個非預期的脈波訊號，若此脈波過大的話，此脈波甚至會被視為時脈訊號之一，而以此脈波訊號對資料訊號 $DATA$ 取樣。如此，必得到錯誤的取樣結果。而且，有脈波干擾的系統時脈訊號 CLK 將無法順利地對資料訊號鎖相及追蹤，更造成讀取資料訊號上的困難。

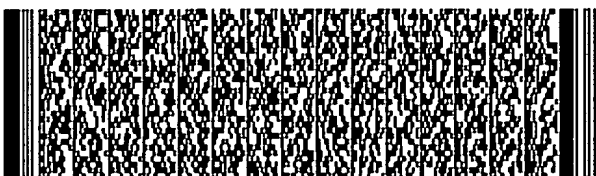


五、發明說明 (4)

而傳統對於消除脈波干擾所使用的方法是，將系統時脈訊號CLK傳送由電容所組成的低通濾波器，用以消除系統時脈訊號CLK上的脈波干擾。但是，脈波干擾的脈波週期越長，則所需要的低通濾波器之電容越大，亦即所需的元件面積也越大。而且，由於使用電容之後，由於電容效應會使得系統時脈訊號CLK的上升時間(rise time)與下降時間(fall time)拉長，因此而限制了系統時脈訊號CLK的頻率。

有鑑於此，本發明的目的就是在提供一種無脈波干擾之時脈訊號相位轉換的方法及其電路。只需使用邏輯電路的方式，便可達成轉換系統時脈訊號的目的。因為不須使用電容，所以系統時脈訊號的頻率不受到限制，故可使用於高頻系統。更而，本發明不受到電路非線性現象的影響，而且，因為使用邏輯電路來達成，所以對於電路之製程、溫度、電流源不同所產生之誤差有很大的容忍度。

根據本發明的目的，提出一種無脈波干擾之時脈訊號相位轉換電路，此轉換電路包括相位時脈訊號1~M與資料訊號。而且，相位時脈訊號1~M之頻率相同，而相位相異且依序變化。相位時脈訊號N為系統時脈訊號，且 $1 \leq N \leq M$ 。轉換電路包括：相位偵測器、雙向環狀計數器、M個低通栓鎖器、與輸出級電路。相位偵測器用以接收資料訊號與系統時脈訊號，並輸出相位上升訊號與相位下降訊號。其中，當資料訊號之相位較系統時脈訊號落後時，相位上升訊號為致能(Enable)；當資料訊號之相位較系統時脈訊

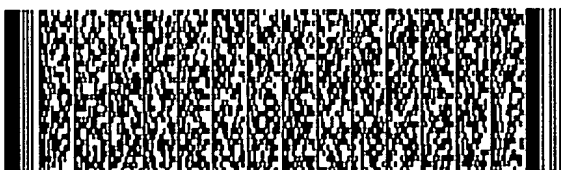


五、發明說明 (5)

號超前時，相位下降訊號為致能。雙向環狀計數器用以接收相位上升訊號與相位下降訊號並輸出旗標訊號 $1 \sim M$ 。其中，於相位時脈訊號 N 為第一位準時，當相位上升訊號為致能，則旗標訊號 $N+1$ 為致能；當相位下降訊號為致能，則旗標訊號 $N-1$ 為致能。 M 個低通栓鎖器分別標示為低通栓鎖器 $1 \sim M$ ，低通栓鎖器 N 接收相位時脈訊號 N 與旗標訊號 N 並輸出選擇訊號 N 。其中，當相位時脈訊號 N 於第一位準時，使得旗標訊號 N 與選擇訊號 N 為相同位準。輸出級電路係以 M 個選擇訊號以及 M 個相位時脈訊號作為輸入，並輸出系統時脈訊號。其中，系統時脈訊號為與致能的选择訊號所對應的相位時脈訊號。

此外， M 個D型正反器(D flip-flop)亦可以取代 M 個低通栓鎖器來達成相同目的。其中，D型正反器之時脈輸入端接收相位時脈訊號 N ，D型正反器之訊號輸入端接收旗標訊號 N ，D型正反器之輸出端輸出選擇訊號 N 。於相位時脈訊號 N 由第二位準轉為第一位準時，輸出與旗標訊號 N 相同位準之選擇訊號 N 。

根據本發明的另一目的，提出一種無脈波干擾之時脈訊號相位轉換方法，用以將 M 個相位時脈訊號與資料訊號轉換輸出系統時脈訊號，相位時脈訊號分別表示為相位時脈訊號 $1 \sim M$ ，其中，相位時脈訊號 $1 \sim M$ 之頻率相同，而相位相異且依序變化，相位時脈訊號 N 為系統時脈訊號，且 $1 \leq N \leq M$ ，時脈訊號相位轉換方法包括下列步驟：首先，當資料訊號相位比系統時脈訊號落後時，於系統時脈訊號於第



五、發明說明 (6)

一位準時，令旗標訊號 $N+1$ 為致能。接著，於相位時脈訊號 N 為第一位準時，令選擇訊號 $N+1$ 為致能。然後，令相位時脈訊號 $N+1$ 為系統時脈訊號。同理，當資料訊號相位比系統時脈訊號超前時，於系統時脈訊號於第一位準時，令旗標訊號 $N-1$ 為致能。接著，於相位時脈訊號 N 為第一位準時，令選擇訊號 $N-1$ 為致能。然後，令相位時脈訊號 $N-1$ 為系統時脈訊號。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖繪示乃傳統藉由轉換不同相位之相位時脈訊號鎖住資料訊號之時序圖。

第2圖繪示乃系統時脈訊號轉換之時序圖。

第3圖繪示乃有脈波干擾之系統時脈訊號轉換之時序圖。

第4圖繪示乃另一種有脈波干擾之系統時脈訊號切換的時序圖。

第5圖繪示依照本發明一較佳實施例的一種無脈波干擾之時脈訊號相位轉換電路之架構方塊圖。

第6圖繪示乃依照本發明一較佳實施例的一種無脈波干擾之時脈訊號相位轉換方法之流程圖。

第7A~7F圖繪示乃系統時脈訊號的相位轉換之一例的邏輯電路圖。



五、發明說明 (7)

第8A~8C圖繪示乃第7A~7F圖之系統時脈訊號的相位轉換之時脈圖。

第9A~9B圖繪示乃第7A~7F圖之系統時脈訊號的相位轉換電路正常動作之安全範圍說明圖。

第10A~10D圖繪示乃系統時脈訊號的相位轉換之另一例的邏輯電路圖。

第11A~11B圖繪示乃第10A~10D圖之時系統脈訊號的相位轉換之時脈圖。

第12A~12B圖繪示乃第10A~10D圖系統時脈訊號的相位轉換電路正常動作之安全範圍說明圖。

標號說明：

502：相位偵測器

504：旗標訊號產生器

506：選擇訊號產生器

508：輸出級電路

702：第一計數邏輯單元

704：第二計數邏輯單元

706：第三計數邏輯單元

708：第一低通栓鎖器

710：第二低通栓鎖器

712：第三低通栓鎖器

714：及閘

716：或閘

718，1002，1004，1006：D型正反器



五、發明說明 (8)

較佳實施例

請參照第5圖，其繪示依照本發明一較佳實施例的一種無脈波干擾之時脈訊號相位轉換電路之架構方塊圖。首先，系統由鎖相迴路(Phase Locked Loop, PLL) (未標示於圖上) 產生頻率相同，而相位不同且依序變化之M個相位時脈訊號，分別表示為相位時脈訊號PH1~M，其中，系統以M個相位時脈訊號之一作為系統之系統時脈訊號CLK，例如為相位時脈訊號PHN。系統時脈訊號CLK用以對資料訊號DATA進行鎖住(locking)及追蹤(tracking)的動作，使得系統時脈訊號CLK與資料訊號DATA同步(synchronize)，而得以讀取資料訊號DATA。倘若資料訊號DATA的相位改變，則必須以不同相位的相位時脈訊號，作為系統時脈訊號CLK，如此，方可使得系統時脈訊號CLK與資料訊號DATA同步，而得以讀取資料訊號DATA。

本發明使用相位偵測器502、旗標訊號產生器504、選擇訊號產生器506、輸出級電路508來達成時脈訊號相位轉換電路。相位偵測器502係用以偵測與指示資料訊號DATA的相位變化，且相位偵測器502係以資料訊號DATA與系統時脈訊號CLK作為輸入，並輸出相位上升訊號Sup與相位下降訊號Sdn至旗標訊號產生器504。旗標訊號產生器504更以系統時脈訊號CLK為輸入，而輸出M個旗標訊號，分別表示為旗標訊號Flag1~M，並以旗標訊號Flag1~M作為選擇訊號產生器506之輸入。其中，當相位上升訊號Sup為致能(Enable)時，則旗標訊號FlagN+1為致能；當相位下降訊



五、發明說明 (9)

號Sdn為致能時，則旗標訊號FlagN-1為致能，而且同一時間內僅一個旗標訊號為致能。其中，第一位準例如為低位準，第二位準例如為高位準，並以高位準為致能。

選擇訊號產生器506用以接收旗標訊號Flag1~M，並以相位時脈訊號PH1~M作為輸入，並輸出M個選擇訊號，分別表示為選擇訊號SEL1~M。其中，當相位時脈訊號PH1~M個別為低位準時，分別讓對應於為致能的旗標訊號Flag1~M之一的選擇訊號SEL1~M之一為致能，餘者為非致能(Disable)。

選擇訊號產生器506更包括M個選擇邏輯單元(圖中未標示)，分別標示為選擇邏輯單元1~M，各個選擇邏輯單元包括一輸入端、一時脈訊號輸入端、以及一輸出端，以M個旗標訊號分別作為各個選擇邏輯單元之輸入訊號，並各輸出1個選擇訊號，分別標示為選擇訊號SEL1~M，且將選擇訊號SEL1~M作為輸出級電路508之輸入。茲以選擇邏輯單元N為例做說明，其中N=1~M：以旗標訊號N作為輸入端之輸入，以相位時脈訊號PHN作為時脈訊號輸入端的輸入，並於輸出端輸出選擇訊號SelN。於相位時脈訊號PHN於低位準時，當旗標訊號FlagN為致能，則選擇訊號SelN為致能；於相位時脈訊號PHN於低位準時，當旗標訊號FlagN為非致能時，則選擇訊號SelN為非致能。

輸出級電路508以M個選擇訊號與M個相位時脈訊號作為輸入，並輸出一個輸出訊號OUTPUT，用以作為轉換後的系統時脈訊號CLK。若選擇訊號SelN為致能，則輸出訊號



五、發明說明 (10)

OUTPUT 為選擇訊號SelN所對應的相位時脈訊號PHN。

請參考第6圖，其所繪示乃依照本發明一較佳實施例的一種無脈波干擾之時脈訊號相位轉換方法之流程圖。首先，進入步驟604，判斷系統是否接收到資料訊號DATA，若否，則進入步驟606，結束；若是，則進入步驟608，以相位時脈訊號PHN做為系統時脈訊號CLK，而 $N=1\sim M$ 。接著進入步驟610，判斷所接收到的資料訊號DATA是否有相位變化，若否，則回到步驟608；若是，則進入步驟612。

在步驟612中，判斷資料訊號DATA之相位是否比系統時脈訊號CLK之相位落後，若是，亦即表示必須將由原來的以相位時脈訊號PHN作為系統時脈訊號CLK，轉換至以相位比相位時脈訊號PHN還落後的相位時脈訊號PHN+1作為系統時脈訊號CLK，接著進入步驟614；若否，亦即表示必須將原來的以相位時脈訊號PHN作為系統時脈訊號CLK，轉換至以比相位時脈訊號PHN超前的相位時脈訊號PHN-1作為系統時脈訊號CLK，接著進入步驟616。

在步驟614中，將旗標訊號FlagN+1致能，而將旗標訊號FlagN轉為非致能。而且，旗標訊號Flag1~M於同一時間內只有一個為致能。接著，進入步驟618，於相位時脈訊號PHN+1於低位準時，將選擇訊號SelN+1致能，且於相位時脈訊號PHN於低位準時，讓選擇訊號SelN為非致能。然後，進入步驟620，以相位時脈訊號PHN+1作為系統時脈訊號CLK，且N值加1。在此步驟中，若選擇訊號SEL1~M之一為致能，則系統以致能的選擇訊號SEL1~M之一所對應的相



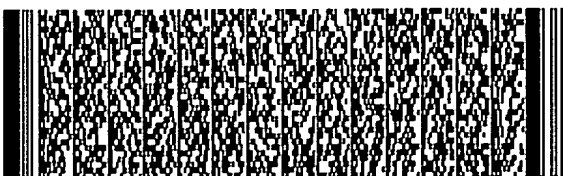
五、發明說明 (11)

位時脈訊號PH1~M之一作為系統時脈訊號CLK。

同理，在步驟616中，將旗標訊號FlagN-1致能，且將旗標訊號FlagN轉為非致能。接著，進入步驟622，於相位時脈訊號PHN-1於低位準時，將選擇訊號SelN-1致能，且於相位時脈訊號PHN於低位準時，將選擇訊號SelN轉為非致能。然後，進入步驟624，以相位時脈訊號PHN-1作為系統時脈訊號CLK，且N值減1。步驟624與步驟620之原理相近，在此不予贅述。

請參考第7A~7F圖，其所繪示乃系統時脈訊號的相位轉換之一例的邏輯電路圖。請同時參考第5圖及第7A~7F圖。第7A圖乃相位偵測器之方塊圖。相位偵測器502以資料訊號DATA和系統時脈訊號CLK作為輸入，以相位上升訊號Sup與相位下降訊號Sdn為輸出。

第7B圖乃旗標訊號產生器之邏輯電路方塊圖。旗標訊號產生器504乃由環狀計數器所組成，環狀計數器包括M個計數邏輯單元，例如為第一計數邏輯單元702、第二計數邏輯單元704、第三計數邏輯單元706。每個計數邏輯單元分別以系統時脈訊號CLK做為其時脈訊號端之輸入，以相位上升訊號Sup作為其上升訊號輸入端UP輸入，以相位下降訊號Sdn作為其下降訊號輸入端DN之輸入，以對應的旗標訊號做為輸入端Q之輸入，並另外以上一個旗標訊號與下一個旗標訊號分別做為左輸入端RT之輸入與右輸入端LF之輸入。每個計數邏輯單元尚包括他訊號輸入端IN與重置端reset，而輸出端則輸出相對應的旗標訊號。其中，計

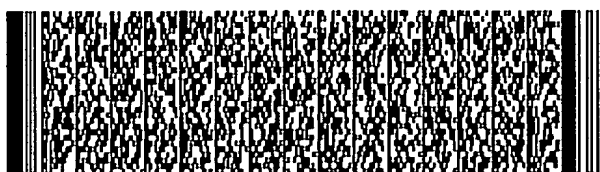


五、發明說明 (12)

數邏輯單元乃是正緣觸發(rising edge trigger)。在第7B圖中，此時系統以相位時脈訊號PHN作為系統時脈訊號CLK，故旗標訊號FlagN為致能。而當相位上升訊號Sup為致能時，則旗標訊號FlagN+1轉為致能且旗標訊號FlagN轉為非致能；當相位下降訊號Sdn為致能時，則旗標訊號FlagN-1為致能且旗標訊號FlagN轉為非致能。

第7C圖乃選擇訊號產生器之邏輯電路方塊圖。選擇訊號產生器506更包括M個選擇邏輯單元，分別為選擇邏輯單元1~M。在此例中，選擇訊號產生器506以M個低通栓鎖器作為選擇邏輯單元，例如為第一低通栓鎖器708、第二低通栓鎖器710、第三低通栓鎖器712。每個低通栓鎖器分別以對應的旗標訊號Flag1~M之一與對應的相位時脈訊號PH1~M之一為輸入，並分別自各低通栓鎖器輸出對應的選擇訊號SEL1~M之一。例如旗標訊號FlagN輸入至訊號輸入端DN，相位時脈訊號PHN輸入至時脈訊號輸入端CKN，且自輸出端QN輸出選擇訊號SelN，而重置訊號reset輸入用以進行重置動作。其中，當相位時脈訊號為低位準時，則以對應的旗標訊號做為選擇訊號之輸出。

第7D圖乃輸出級之邏輯電路圖。輸出級電路508以M個及閘(AND gate)714以及一M個輸入的或閘(OR gate)716所組成。每個及閘714的輸出分別為將選擇訊號SEL1~M與相對應的相位時脈訊號PH1~M做及(AND)運算的結果，然後再將所有的及閘714的輸出做為或閘716的輸入，經過或(OR)運算後，其輸出為輸出訊號OUTPUT，並做為轉換後的系統



五、發明說明 (13)

時脈訊號CLK。亦即，由致能的選擇訊號來選定對應之相位時脈訊號1~M之一為系統時脈訊號CLK。但是，選擇訊號在轉換的暫態過程中，如果同時有兩個選擇訊號為致能的話，則輸出訊號OUTPUT為相對應之兩個相位時脈訊號做或運算後的結果。

第7E圖乃第7B圖之計數邏輯單元的詳細內部電路圖。其中計數邏輯單元更包括一D型正反器718。而第7F圖乃第7C圖之低通栓鎖器之詳細內部電路圖。於此不予詳述。

請同時參考第7A~7D圖與第8A~8C圖，第8A~8C圖所繪示乃第7A~7D圖之系統時脈訊號的相位轉換之時脈圖。第8A圖所繪示乃資料訊號相位落後時系統時脈訊號轉換之時脈圖。假設此時系統以相位時脈訊號PHN作為系統時脈訊號CLK，當資料訊號DATA的相位落後系統時脈訊號CLK時，必須轉換至以相位時脈訊號PHN+1為時脈訊號CLK，方可將資料訊號DATA鎖住而進行讀取的動作。

首先，相位偵測器502偵測到資料訊號DATA比系統時脈訊號CLK落後之後，其相位上升訊號Sup為致能。接著，在系統時脈訊號CLK由低位準轉為高位準的正緣觸發時，例如為時間點t1，將旗標訊號FlagN轉為非致能訊號，且將旗標訊號FlagN+1轉為致能訊號。因為電路有訊號延遲的現象，所以實際上可能必須等到時間點t2時，旗標訊號FlagN與FlagN+1方完成轉變。

然後，當相位時脈訊號PHN於低位準時，例如在時間點t3，將選擇訊號SelN轉為非致能。因為電路的訊號延遲



五、發明說明 (14)

現象，故延至時間點 t_4 時，選擇訊號 $Se1N$ 方轉為非致能。同時，當相位時脈訊號 $PHN+1$ 於低位準時，例如在時間點 t_5 ，將選擇訊號 $Se1N+1$ 轉為致能。同樣地，因為電路的延遲現象，使得選擇訊號 $Se1N+1$ 於時間點 t_6 時，方得轉為致能。最後，經過輸出級電路508的及閘714與或閘716的運算之後，輸出致能的選擇訊號 $Se1N+1$ 所對應的相位時脈訊號 $PHN+1$ ，作為系統時脈訊號CLK。所以，在時間點 t_4 之前，系統以相位時脈訊號 PHN 作為系統時脈訊號CLK；而時間點 t_6 之後，系統以相位時脈訊號 $PHN+1$ 作為系統時脈訊號CLK。如此，便完成系統時脈訊號CLK轉換的目的。

第8B圖所繪示乃資料訊號相位超前時系統時脈訊號轉換之時脈圖。當相位偵測器502偵測到資料訊號DATA比系統時脈訊號CLK超前時，相位下降訊號 Sdn 轉為致能。同理，在時間點 t_1 ，旗標訊號 $FlagN$ 轉為非致能訊號，且旗標訊號 $FlagN-1$ 轉為致能訊號。然後，在時間點 t_2 時選擇訊號 $Se1N-1$ 轉為致能，在時間點 t_3 時選擇訊號 $Se1N$ 轉為非致能。所以，在時間點 t_3 之後，系統以相位時脈訊號 $PHN-1$ 作為系統時脈訊號CLK，而完成系統時脈訊號CLK的轉換。

第8C圖所繪示乃資料訊號相位落後時之另一種系統時脈訊號轉換之時脈圖。此圖所示乃當系統反應速度較快時，所可能遇到的情形。首先，當資料訊號DATA比系統時脈訊號CLK落後時，其相位下降訊號 Sdn 為致能。接著，在時間點 t_2 ，旗標訊號 $FlagN$ 轉為非致能訊號，且旗標訊號

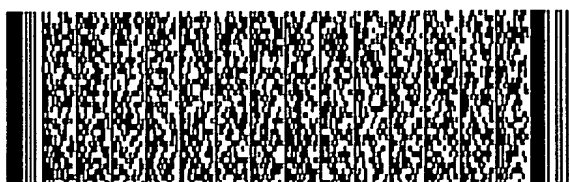


五、發明說明 (15)

FlagN+1 轉為致能訊號。然後，因為低通栓鎖器於旗標訊號為低位準時，使得選擇訊號與旗標訊號同位準。所以，在時間點t3時，選擇訊號SelN+1為致能，而在時間點t4時，選擇訊號SelN為非致能。所以，經過輸出級508電路的處理後，時間點t3到t4之間的時脈訊號CLK乃是將相位時脈訊號PHN與相位時脈訊號PHN+1做或運算的結果。而在時間點t4之後，系統以相位時脈訊號PHN+1為系統時脈訊號CLK，而完成系統時脈訊號CLK的轉換。

請參考第9A~9B圖，其所繪示乃第7A~7F圖之系統時脈訊號的相位轉換電路正常動作之安全範圍說明圖。第9A圖所繪示乃資料訊號相位落後時之安全範圍說明圖。如圖所示，在轉換過程中，旗標訊號FlagN必須於時間點t1至t2之間變化，而旗標訊號FlagN+1必須於時間點t1至t3之間變化，方不會有誤動作產生。第9B圖所繪示乃資料訊號相位超前時之安全範圍說明圖。如圖所示，在轉換過程中，旗標訊號FlagN-1必須於時間點t1至t2之間變化，而旗標訊號FlagN必須於時間點t1至t3之間變化，方不會有誤動作產生。

請參考第10A~10D圖，其所繪示乃系統時脈訊號的相位轉換之另一例的邏輯電路圖。請同時參考第7A~7D圖及第10A~10D圖。與前一例不同的地方是，環狀計數器的計數單元乃是以負緣(falling edge)觸發，而且選擇訊號1~M乃是由M個D型正反器來產生。每個D型正反器分別以相對應的旗標訊號輸入至訊號輸入端，以相對應的相位時脈



五、發明說明 (16)

訊號輸入至時脈訊號端，並輸出相對應的選擇訊號。例如，以D型正反器1004為例，旗標訊號FlagN輸入至訊號輸入端DN，相位時脈訊號PHN輸入至時脈輸入端CKN，並自輸出端QN輸出選擇訊號SelN。另外，重置訊號reset則輸入用以進行重置動作。而這些D型正反器亦均是負緣觸發。

第11A~11B圖所繪示乃第10A~10D圖之時系統脈訊號的相位轉換之時脈圖。第11A圖所繪示乃資料訊號相位落後時系統時脈訊號轉換之時脈圖。於時間點t1，系統時脈訊號CLK對環狀計數器負緣觸發，因為電路延遲之故，使得在時間點t2時，旗標訊號FlagN轉為非致能，而旗標訊號FlagN+1轉為致能。時間點t3時，相位時脈訊號PHN+1對D型正反器1006負緣觸發，而使得在時間點t4時選擇訊號SelN+1為致能。在時間點t5時，相位時脈訊號PHN對D型正反器1004負緣觸發，而使得在時間點t6時選擇訊號SelN為非致能。故在時間點t4至t6之間，系統以相位時脈訊號PHN與相位時脈訊號PHN+1做或運算後的結果做為系統時脈訊號CLK，而時間點t6之後，系統則以相位時脈訊號PHN+1為系統時脈訊號CLK。第11B圖所繪示乃資料訊號相位超前時系統時脈訊號轉換之時脈圖。同理，在時間點t1時，相位時脈訊號PHN-1對D型正反器1002進行負緣觸發，在時間點t2時，相位時脈訊號PHN對D型正反器1004進行負緣觸發，而使得在時間點t3之後，系統以相位時脈訊號PHN-1做為系統時脈訊號CLK。

第12A~12B圖所繪示乃第10A~10D圖系統時脈訊號的相



五、發明說明 (17)

位轉換電路正常動作之安全範圍說明圖。第12A圖所繪示乃資料訊號相位落後時之安全範圍說明圖。旗標訊號FlagN必須於時間點t1與t2間變化。其中，時間點t2到t3之間乃是D型正反器之啟動設定時間(setup time)。而旗標訊號FlagN+1必須於時間點t1與t4間變化，其中，時間點t4到t5之間乃是D型正反器之啟動設定時間。第12B圖所繪示乃資料訊號相位超前時之安全範圍說明圖。旗標訊號FlagN-1只要於時間點t1與t2間變化，便不會有誤動作產生。其中，時間點t2到時間點t3之間乃是D型正反器之啟動設定時間。而旗標訊號FlagN只要於時間點t1與t4間變化，便不會有誤動作產生。其中，時間點t4到t5之間乃是D型正反器之啟動設定時間。

並且，在本發明之上述實施例中，相位時脈訊號1~M之間的相位延遲(phase difference)必須小於半個相位時脈訊號的週期，方得以正常操作，達到時脈訊號相位轉換的目的。

【發明效果】

本發明上述實施例所揭露之一種無脈波干擾之時脈訊號相位轉換的方法及其電路，使用邏輯電路的方式，解決了時脈訊號相位轉換過程中可能發生的脈波干擾(glitch)的問題。因為所使用的時脈訊號的頻率不受限制，故可使用於高頻系統，而且對於電路非線性的現象有很好的免疫力。只要於安全範圍內實施本發明，便不會有脈波干擾及時脈訊號錯失(missing)的情形發生。而且，因為使用邏



五、發明說明 (18)

輯電路來達成，所以對於電路之製程、溫度、電壓源不同所產生之誤差有很大的容忍度。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種無脈波干擾之時脈訊號相位轉換電路，該轉換電路包括M個相位時脈訊號與一資料訊號，該些相位時脈訊號分別表示為相位時脈訊號1~M，其中，該些相位時脈訊號之頻率相同，而相位相異且依序變化，相位時脈訊號N為該系統時脈訊號，且 $1 \leq N \leq M$ ，該轉換電路包括：

一相位偵測器，接收該資料訊號與該系統時脈訊號，並輸出一相位上升訊號與一相位下降訊號；

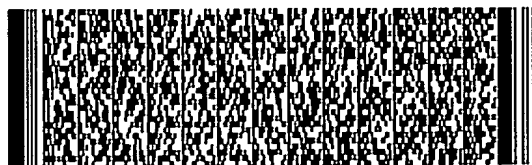
一旗標訊號產生器，用以接收該相位上升訊號與該相位下降訊號並輸出M個旗標訊號，分別標示旗標訊號1~M，同一時間內僅該些旗標訊號之一為致能(Enable)；

一選擇訊號產生器，用以接收M個旗標訊號與M個相位時脈訊號，並輸出對應之M個選擇訊號，其中，與致能的該些旗標訊號對應之該些選擇訊號為致能；以及

一輸出級電路，以M個選擇訊號以及M個相位時脈訊號作為輸入，並輸出該系統時脈訊號，其中，該系統時脈訊號為致能的該些選擇訊號所對應的該相位時脈訊號。

2. 如申請專利範圍第1項所述之轉換電路，其中，當該資料訊號之相位較該系統時脈訊號落後時，該相位上升訊號為致能，當該資料訊號之相位較該系統時脈訊號超前時，該相位下降訊號為致能。

3. 如申請專利範圍第1項所述之轉換電路，其中，於相位時脈訊號N為一第一位準時，當該相位上升訊號為致能，則旗標訊號N+1為致能，當該相位下降訊號為致能，則旗標訊號N-1為致能。



六、申請專利範圍

4. 如申請專利範圍第3項所述之轉換電路，其中該第一位準為低位準。

5. 如申請專利範圍第1項所述之轉換電路，其中該致能訊號為高位準。

6. 如申請專利範圍第1項所述之轉換電路，其中該旗標訊號產生器為一雙向環狀計數器。

7. 如申請專利範圍第1項所述之轉換電路，其中該選擇訊號產生器係由M個低通栓鎖器所組成，栓鎖器N包括一時脈輸入端、一訊號輸入端與一輸出端。

8. 如申請專利範圍第7項所述之轉換電路，其中，該時脈輸入端係接收該相位時脈訊號N，該訊號輸入端係接收該旗標訊號N，該輸出端係輸出該選擇訊號N，於該相位時脈訊號N為一第一位準時，輸出與該旗標訊號N相同位準之該選擇訊號N。

9. 如申請專利範圍第8項所述之轉換電路，其中，該第一位準為低位準。

10. 如申請專利範圍第1項所述之轉換電路，其中該選擇訊號產生器係包括M個D型正反器(D flip-flop)，D型正反器N包括一時脈輸入端、一訊號輸入端與一輸出端。

11. 如申請專利範圍第10項所述之轉換電路，該時脈輸入端接收該相位時脈訊號N，該訊號輸入端係接收該旗標訊號N，該輸出端輸出該選擇訊號N，於該相位時脈訊號N由一第二位準轉為一第一位準時，輸出與該旗標訊號N相同位準之該選擇訊號N。



六、申請專利範圍

12. 如申請專利範圍第11項所述之轉換電路，其中該第二位準為高位準，而該第一位準為低位準。

13. 一種無脈波干擾之時脈訊號相位轉換方法，用以將M個相位時脈訊號與一資料訊號轉換輸出一系統時脈訊號，該些相位時脈訊號分別表示為相位時脈訊號1~M，其中，該些相位時脈訊號之頻率相同，而相位相異且依序變化，相位時脈訊號N為該系統時脈訊號，且 $1 \leq N \leq M$ ，該轉換方法包括下列步驟：

a. 當該資料訊號有相位變化時，進入步驟b，當該資料訊號沒有相位變化時，進入步驟g；

b. 當該資料訊號之相位比該系統時脈訊號之相位落後時，於該系統時脈訊號於一第一位準時，旗標訊號N+1為致能，進入步驟c，當該資料訊號之相位比該系統時脈訊號之相位超前時，於該系統時脈訊號為該第一位準時，旗標訊號N-1為致能，進入步驟d；

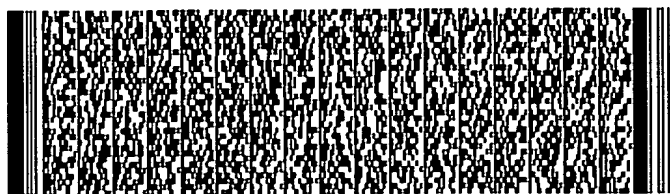
c. 於相位時脈訊號N為該第一位準時，選擇訊號N+1為致能，進入步驟e；

d. 於相位時脈訊號N為該第一位準時，選擇訊號N-1為致能，進入步驟f；

e. 相位時脈訊號N+1為該系統時脈訊號，且N值加1，重複步驟a；

f. 相位時脈訊號N-1為該系統時脈訊號，且N值減1，重複步驟a；以及

g. 相位時脈訊號N為該系統時脈訊號，重複步驟a。



六、申請專利範圍

14. 如申請專利範圍第13項所述之時脈訊號相位轉換方法，其中該致能訊號為高位準訊號。

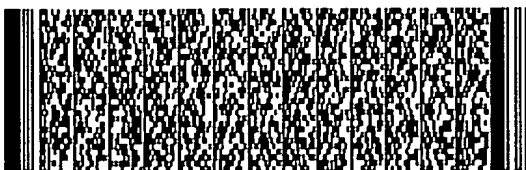
15. 如申請專利範圍第13項所述之時脈訊號相位轉換方法，其中該第一位準為低位準。

16. 一種無脈波干擾之時脈訊號相位轉換電路，該轉換電路包括M個相位時脈訊號與一資料訊號，該些相位時脈訊號分別表示為相位時脈訊號1~M，其中，該些相位時脈訊號之頻率相同，而相位相異且依序變化，相位時脈訊號N為該系統時脈訊號，且 $1 \leq N \leq M$ ，該轉換電路包括：

一相位偵測器，接收該資料訊號與該系統時脈訊號，並輸出一相位上升訊號與一相位下降訊號，其中，當該資料訊號之相位較該系統時脈訊號落後時，該相位上升訊號為致能(Enable)，當該資料訊號之相位較該系統時脈訊號超前時，該相位下降訊號為致能；

一雙向環狀計數器，用以接收該相位上升訊號與該相位下降訊號並輸出M個旗標訊號，分別標示為旗標訊號1~M，其中，於相位時脈訊號N為一第一位準時，當該相位上升訊號為致能，則旗標訊號N+1為致能，當該相位下降訊號為致能，則旗標訊號N-1為致能，而且同一時間內僅該些旗標訊號之一為致能；

M個低通栓鎖器，分別標示為低通栓鎖器1~M，其中，低通栓鎖器N接收相位時脈訊號N與旗標訊號N並輸出一選擇訊號N，其中，當該相位時脈訊號N於該第一位準時，該選擇訊號N與該旗標訊號N為相同位準；以及



六、申請專利範圍

一輸出級電路，以M個選擇訊號以及M個相位時脈訊號作為輸入，並輸出該系統時脈訊號，其中，該系統時脈訊號為致能的該些選擇訊號所對應的該相位時脈訊號。

17. 如申請專利範圍第16項所述之轉換電路，其中該輸出級電路包括：

M個或閘，各接收該些選擇訊號與對應的該些相位時脈訊號；以及

一及閘，以該些或閘的輸出為輸入，並輸出該系統時脈訊號。

18. 如申請專利範圍第16項所述之轉換電路，其中該致能訊號為高位準訊號。

19. 如申請專利範圍第16項所述之轉換電路，其中該第一位準為低位準。

20. 如申請專利範圍第16項所述之轉換電路，其中該雙向環狀計數器為正緣觸發(rising edge trigger)。

21. 一種無脈波干擾之時脈訊號相位轉換電路，該轉換電路包括M個相位時脈訊號與一資料訊號，該些相位時脈訊號分別表示為相位時脈訊號1~M，其中，該些相位時脈訊號之頻率相同，而相位相異且依序變化，相位時脈訊號N為該系統時脈訊號，且 $1 \leq N \leq M$ ，該轉換電路包括：

一相位偵測器，接收該資料訊號與該系統時脈訊號，並輸出一相位上升訊號與一相位下降訊號，其中，當該資料訊號之相位較該系統時脈訊號之相位落後時，該相位上升訊號為致能(Enable)，當該資料訊號之相位較該系統時



六、申請專利範圍

脈訊號之相位超前時，該相位下降訊號為致能；

一雙向環狀計數器，用以接收該相位上升訊號與該相位下降訊號並輸出M個旗標訊號，分別標示為旗標訊號1~M，其中，於相位時脈訊號N為一第一位準時，當該相位上升訊號為致能，則旗標訊號N+1為致能，當該相位下降訊號為致能，則旗標訊號N-1為致能，而且同一時間內僅該些旗標訊號之一為致能；

M個D型正反器，分別標示為D型正反器1~M，其中，D型正反器N接收相位時脈訊號N與旗標訊號N並輸出一選擇訊號N，其中，當該相位時脈訊號N於由一第二位準轉為該第一位準時，該選擇訊號N與該旗標訊號N為相同位準；以及

一輸出級電路，以M個選擇訊號以及M個相位時脈訊號作為輸入，並輸出該系統時脈訊號，其中，該系統時脈訊號為致能的該些選擇訊號所對應的該相位時脈訊號。

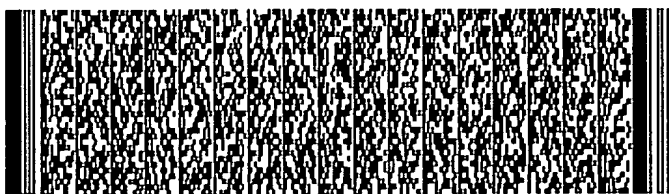
22. 如申請專利範圍第21項所述之轉換電路，其中該輸出級電路包括：

M個或閘，各接收該些選擇訊號與對應的該些相位時脈訊號；以及

一及閘，以該些或閘的輸出為輸入，並輸出該系統時脈訊號。

23. 如申請專利範圍第21項所述之轉換電路，其中該致能訊號為高位準訊號。

24. 如申請專利範圍第21項所述之轉換電路，其中該



六、申請專利範圍

第一位準為低位準。

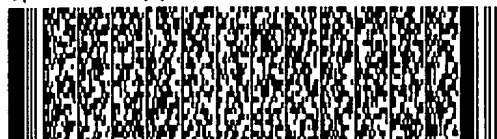
25. 如申請專利範圍第21項所述之轉換電路，其中該第一位準為低位準。

26. 如申請專利範圍第21項所述之轉換電路，其中該雙向環狀計數器為負緣觸發(falling edge trigger)。

27. 如申請專利範圍第21項所述之轉換電路，其中該D型正反器為負緣觸發。



第 1/28 頁



第 2/28 頁



第 4/28 頁



第 4/28 頁



第 5/28 頁



第 5/28 頁



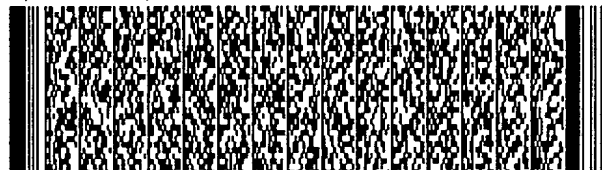
第 6/28 頁



第 6/28 頁



第 7/28 頁



第 7/28 頁



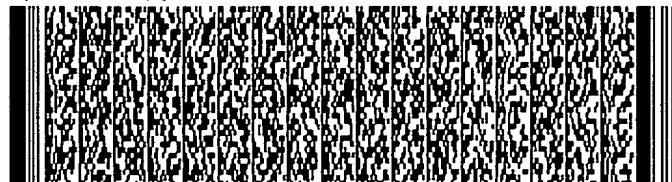
第 8/28 頁



第 8/28 頁



第 9/28 頁



第 10/28 頁



第 11/28 頁



第 11/28 頁



第 12/28 頁



第 12/28 頁



第 13/28 頁



第 13/28 頁



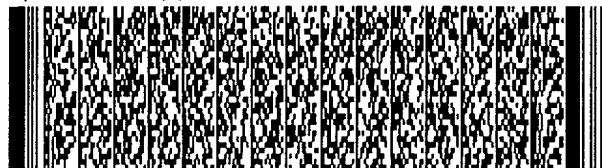
第 14/28 頁



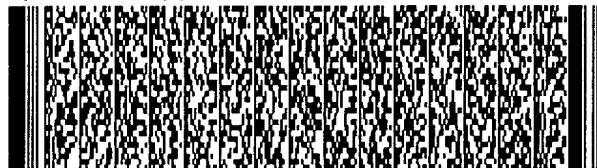
第 14/28 頁



第 15/28 頁



第 15/28 頁



第 16/28 頁



第 16/28 頁



第 17/28 頁



第 17/28 頁



第 18/28 頁



第 18/28 頁



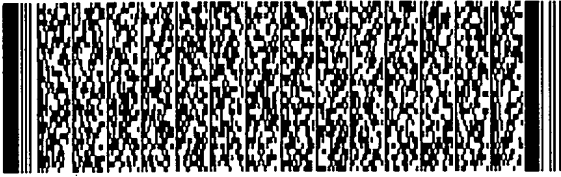
第 19/28 頁



第 19/28 頁



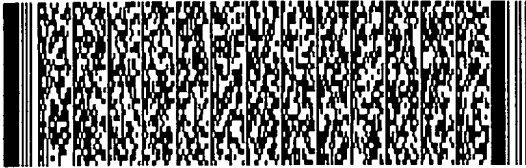
第 20/28 頁



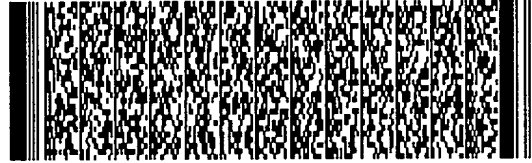
第 20/28 頁



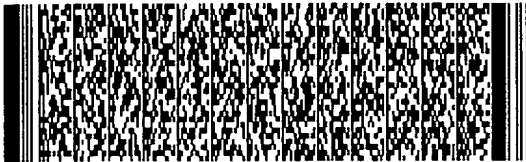
第 21/28 頁



第 22/28 頁



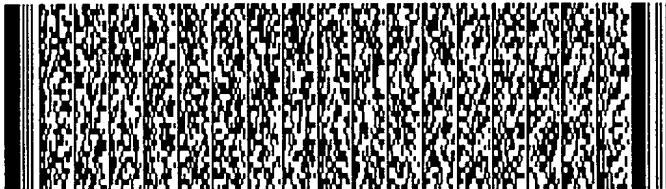
第 22/28 頁



第 23/28 頁



第 24/28 頁



第 25/28 頁



第 25/28 頁



第 26/28 頁



第 26/28 頁

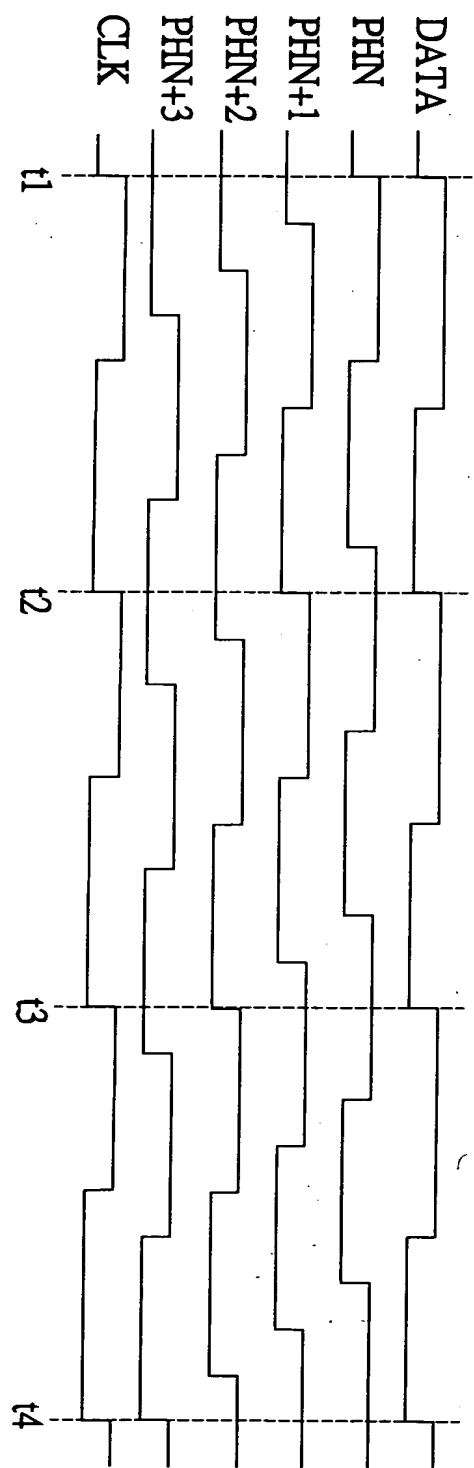


第 27/28 頁

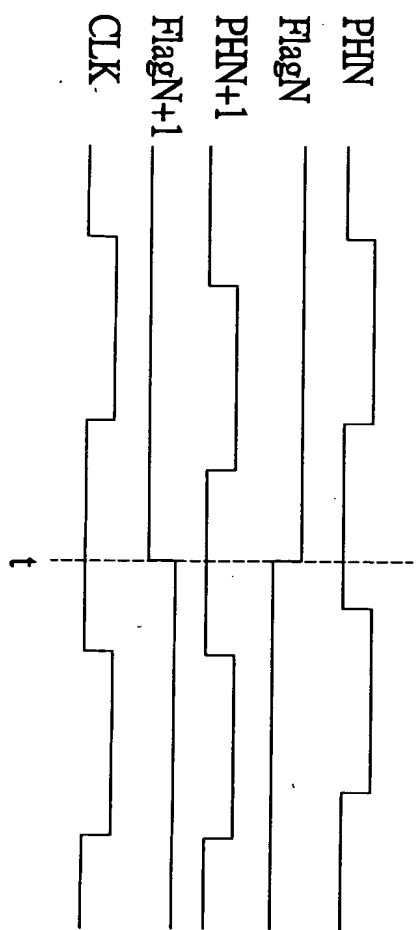


第 28/28 頁

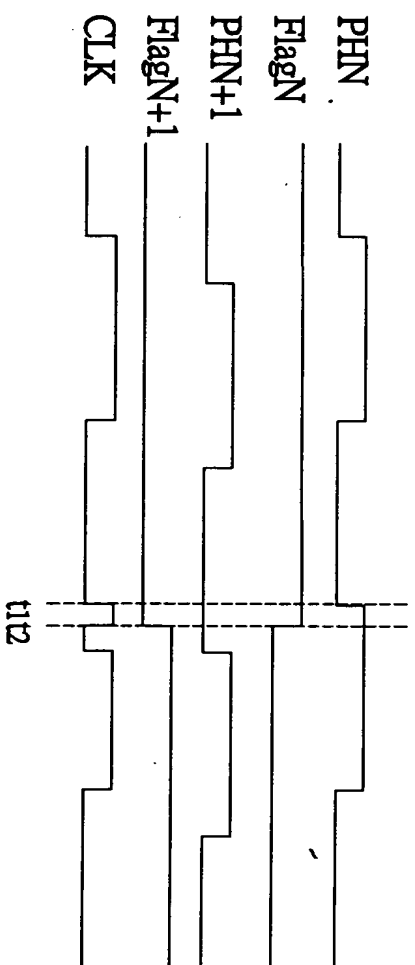




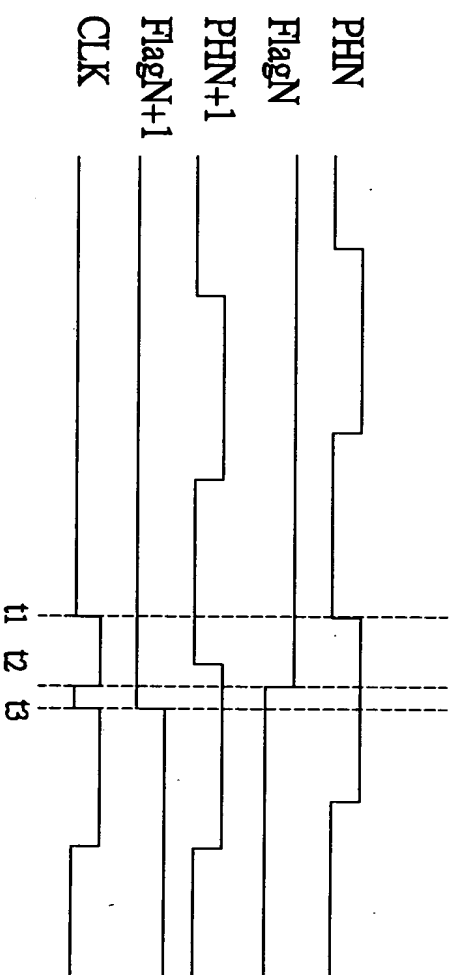
第 1 圖



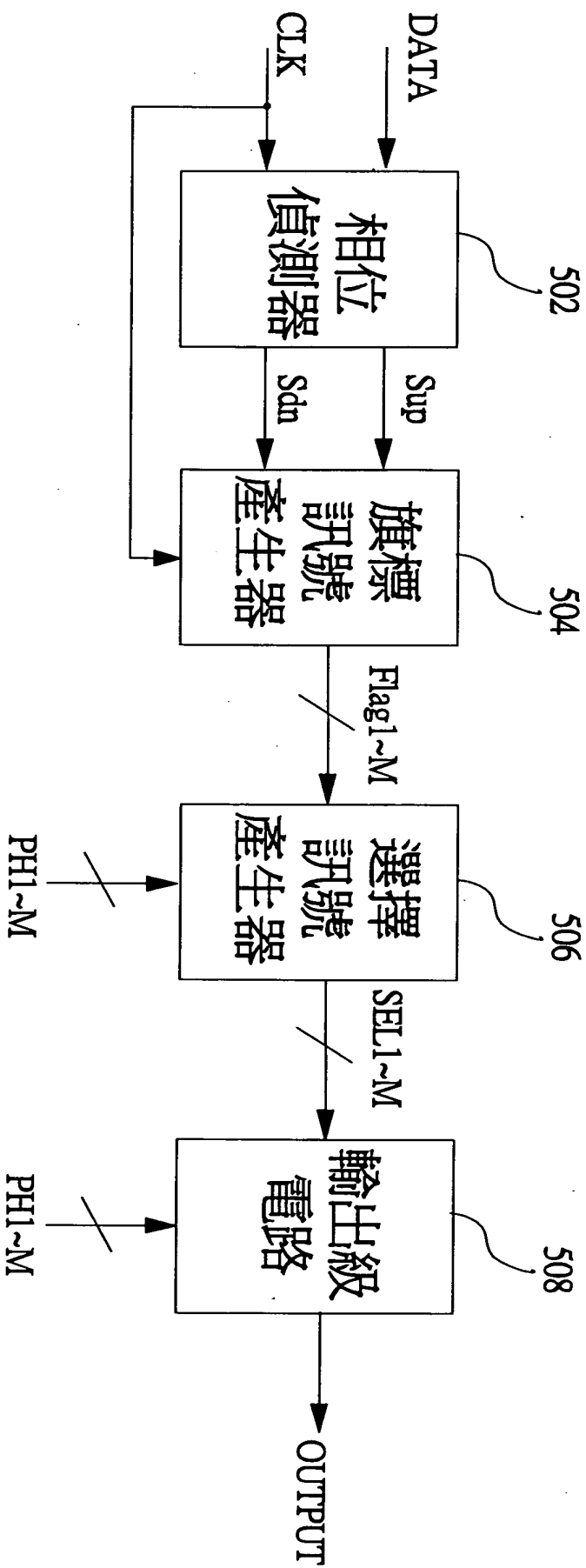
第 2 圖



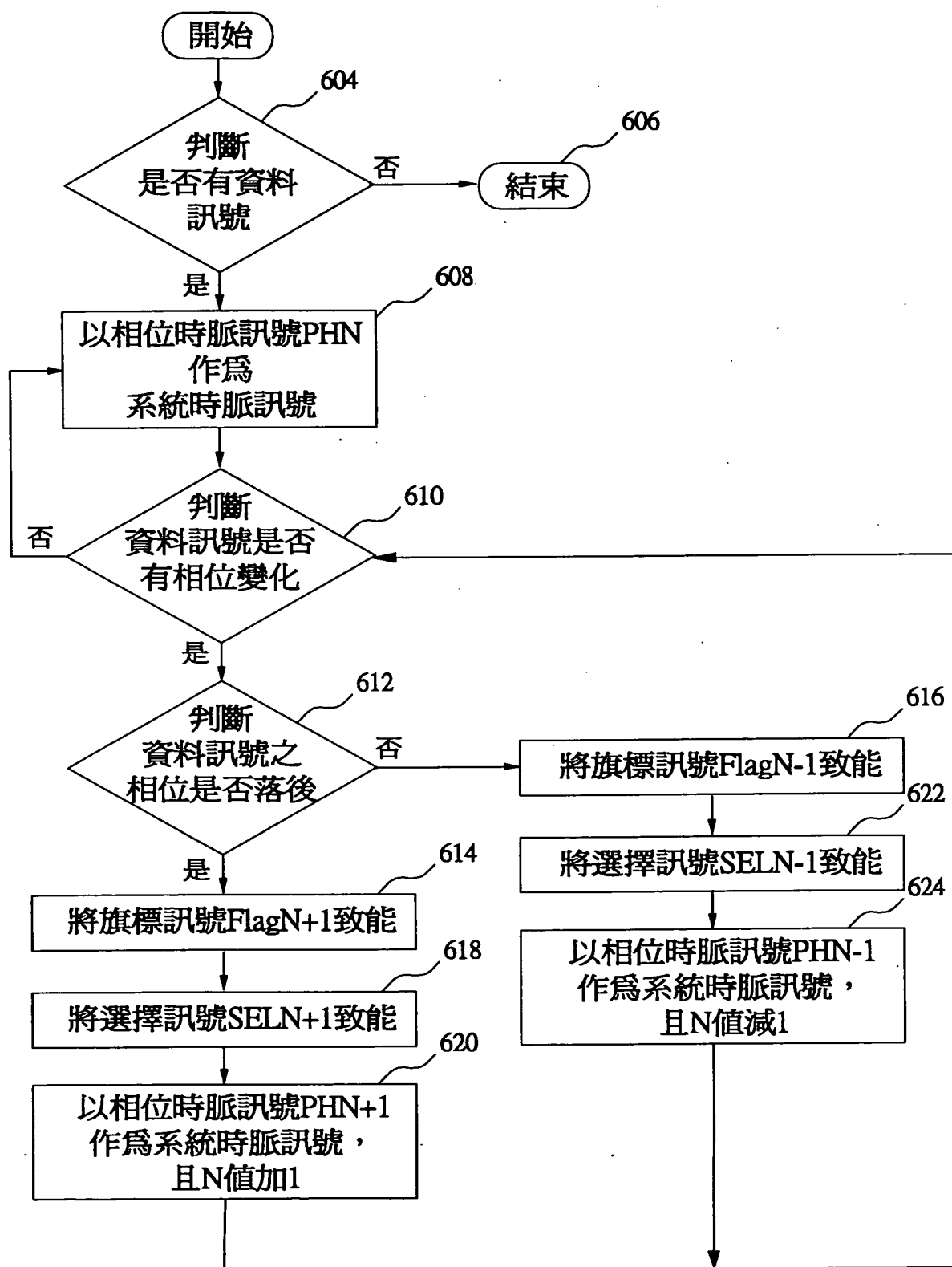
第 3 圖



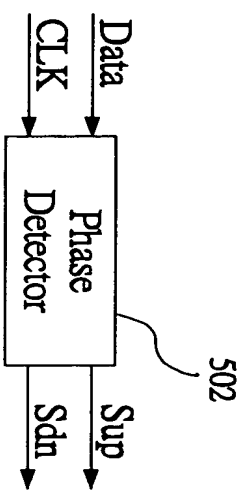
第 4 圖



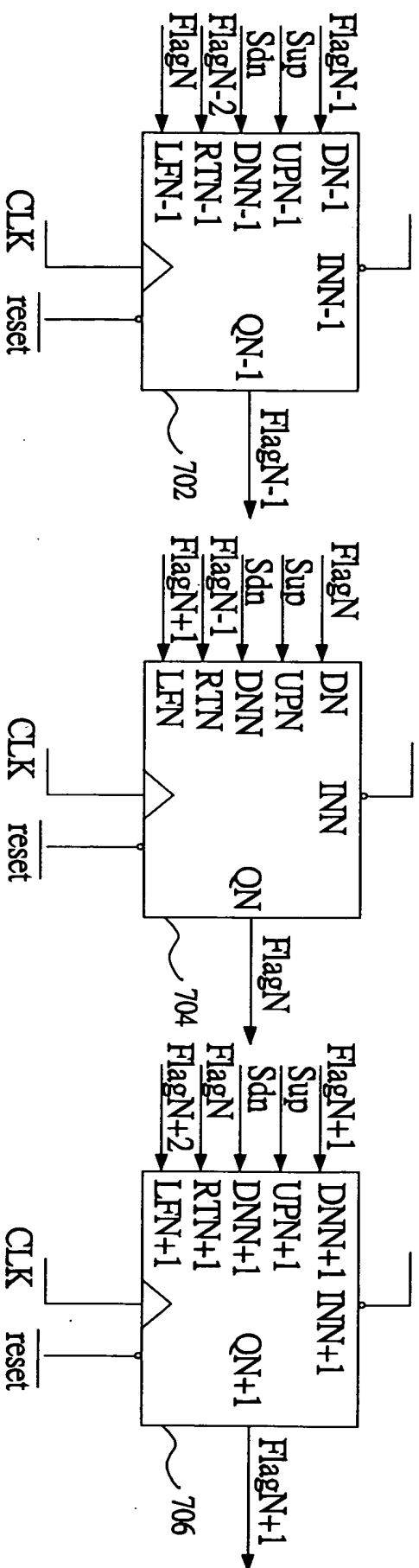
第 5 圖



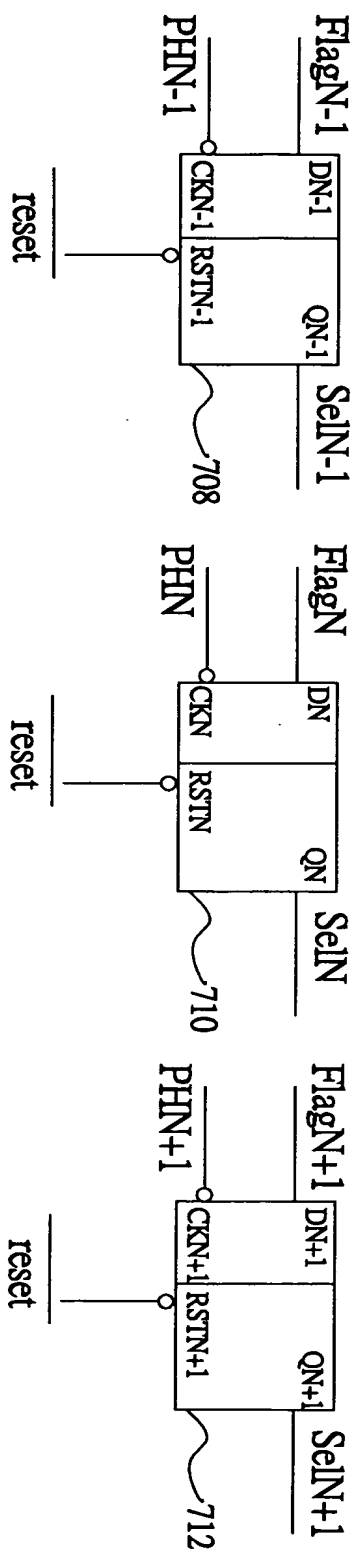
第 6 圖



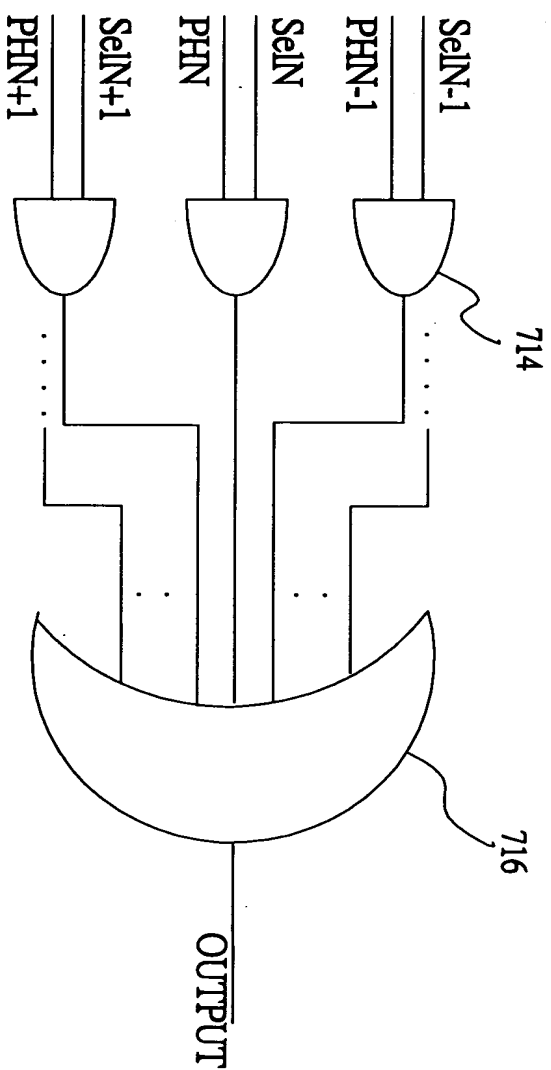
第 7A 圖



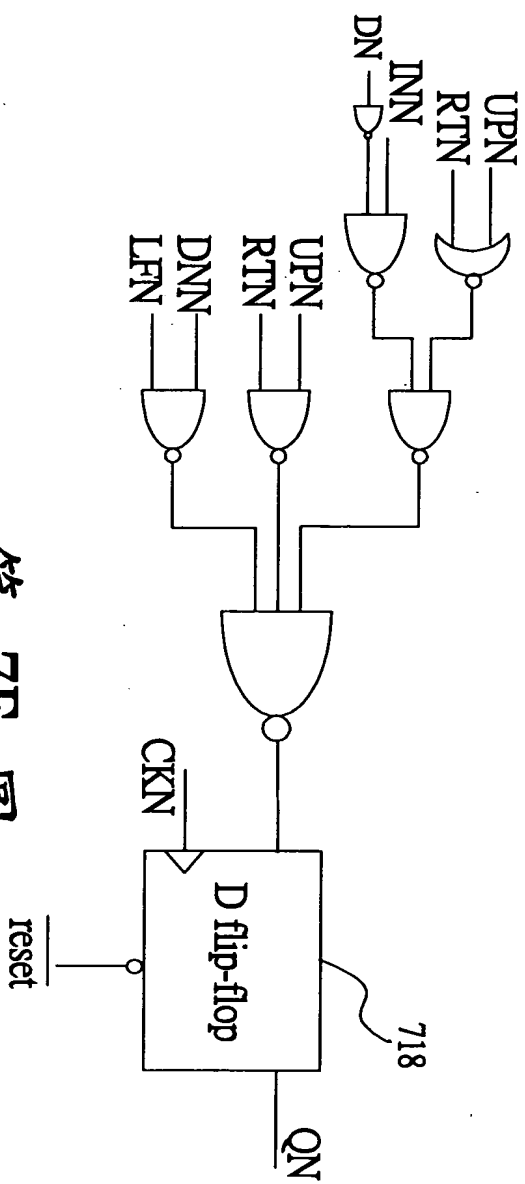
第 7B 圖



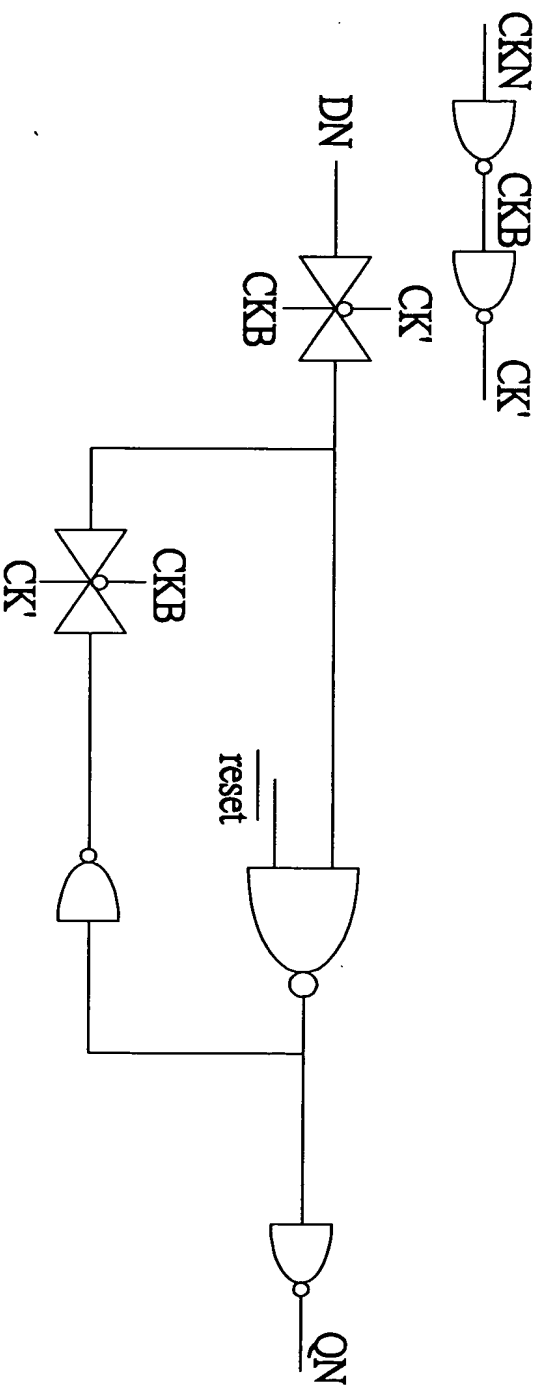
第 7C 圖



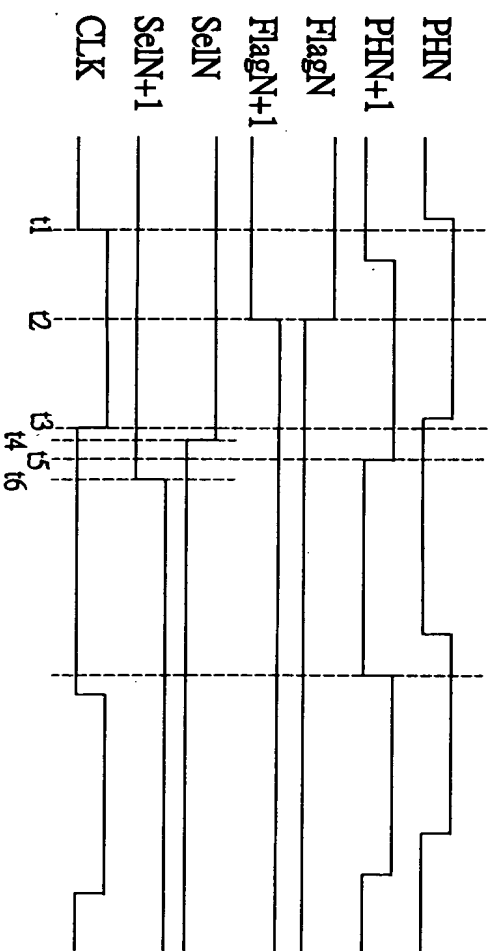
第 7D 圖



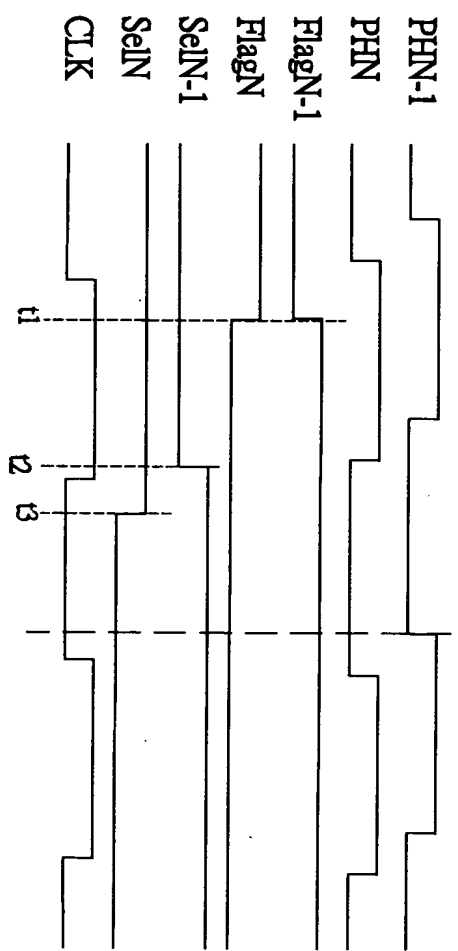
第 7E 圖



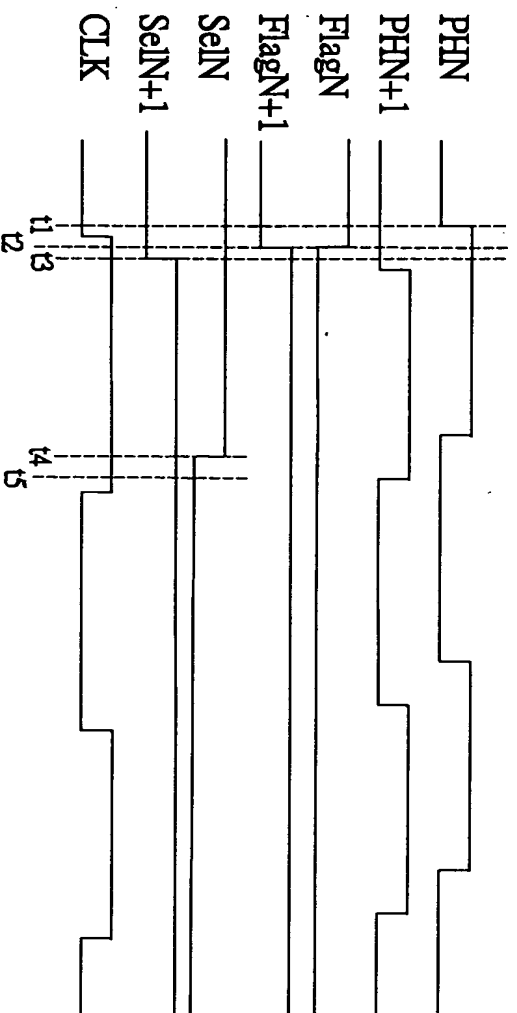
第 7F 圖



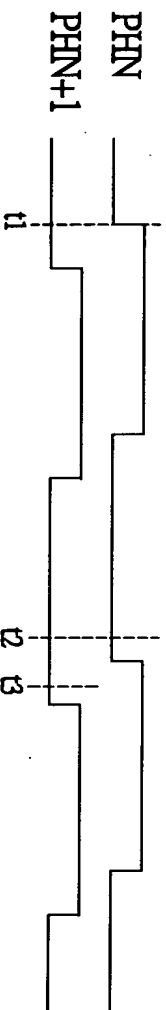
第 8A 圖



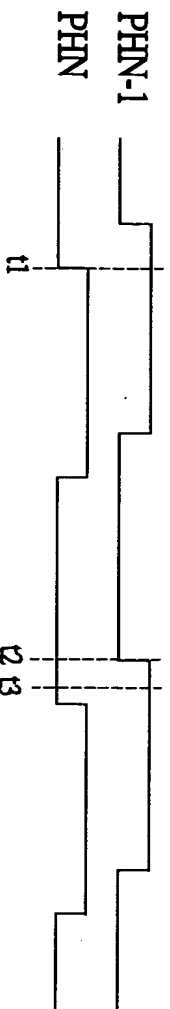
第 8B 圖



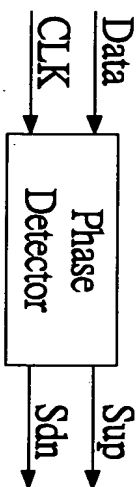
第 8C 圖



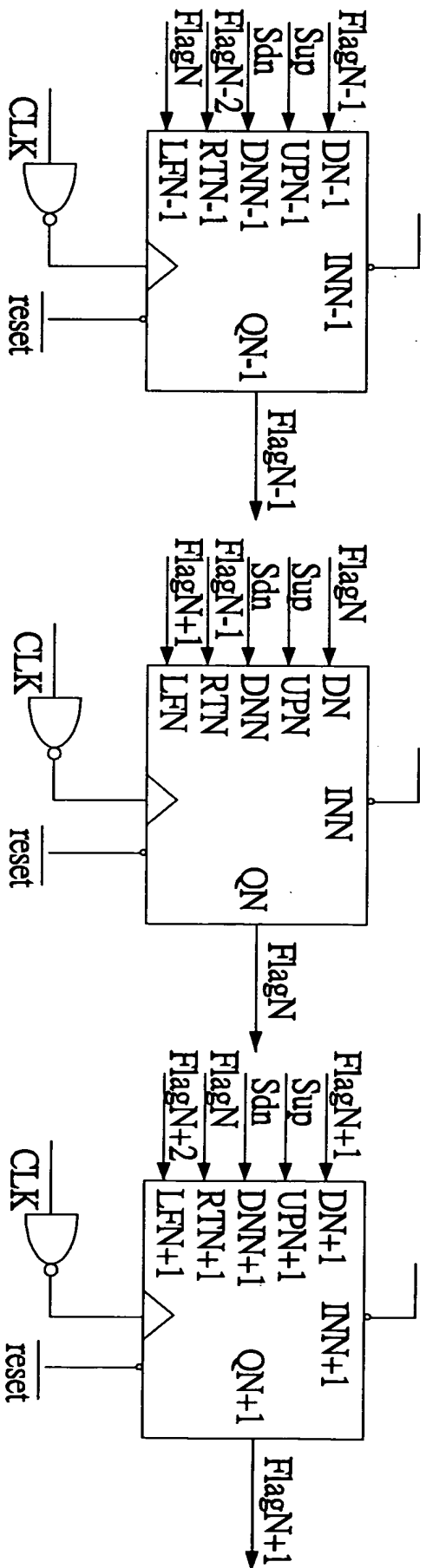
第 9A 圖



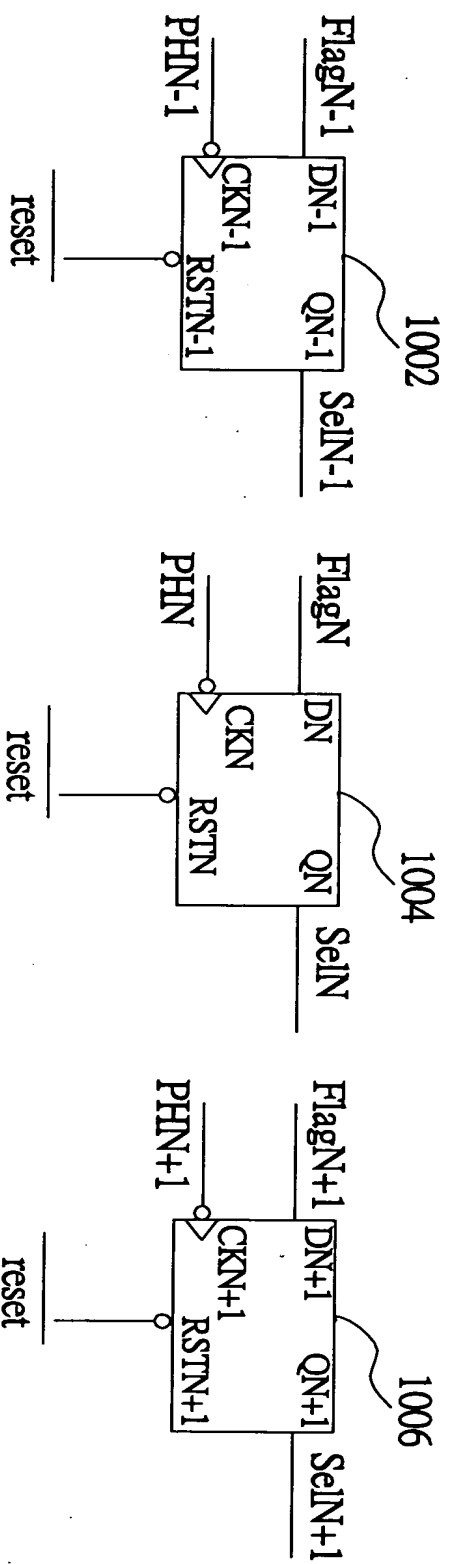
第 9B 圖



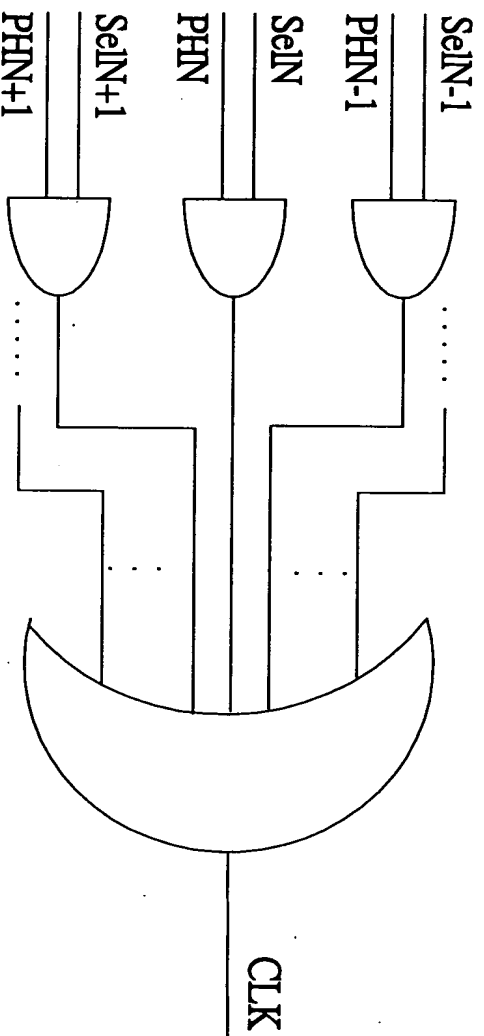
第 10A 圖



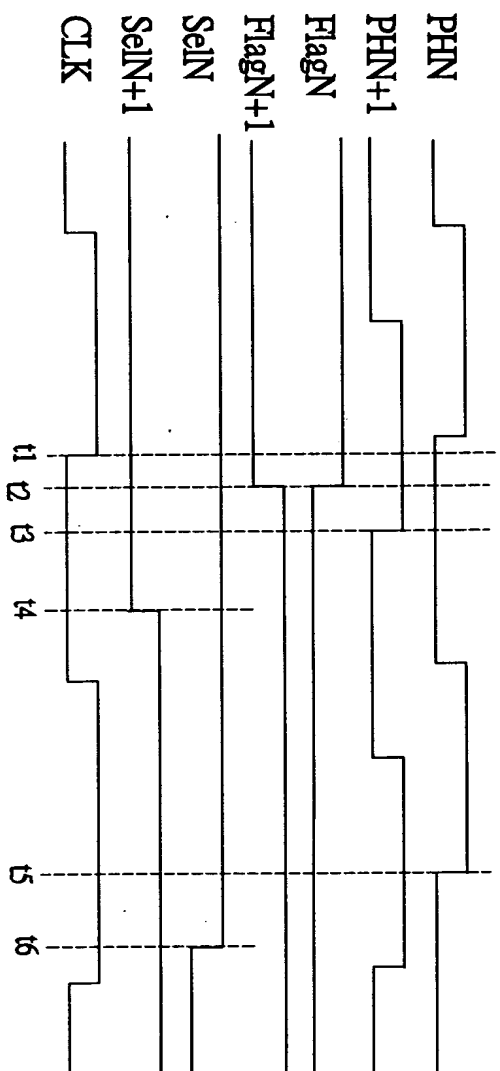
第 10B 圖



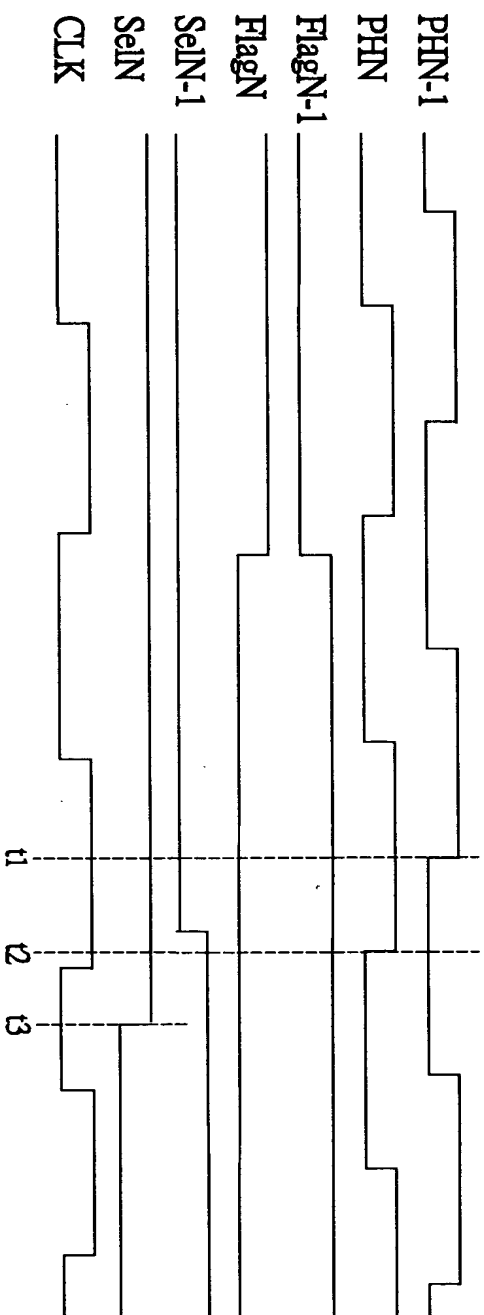
第 10C 圖



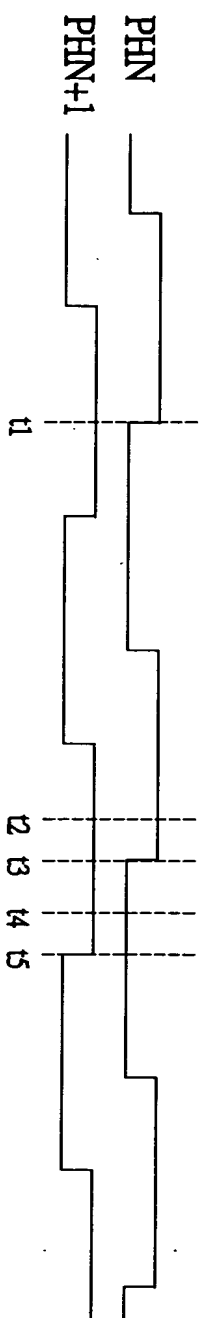
第 10D 圖



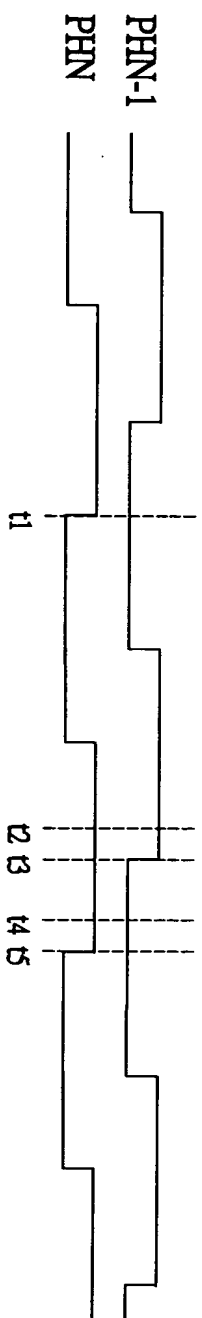
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖